

特開平10-224029

(43) 公開日 平成10年(1998) 8月21日

(51) Int. Cl.⁴
 H 0 5 K 3/34
 H 0 1 L 21/60
 H 0 5 K 3/26

識別記号
 5 1 1
 3 1 1

F I
 H 0 5 K 3/34
 H 0 1 L 21/60
 H 0 5 K 3/26

5 1 1
 3 1 1 Q
 A

審査請求 未請求 請求項の数12 O L (全 9 頁)

(21) 出願番号 特願平9-22564

(22) 出願日 平成9年(1997) 2月5日

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川 6 丁目 7 番35号

(72) 発明者 柳田 敏治

東京都品川区北品川 6 丁目 7 番35号 ソニー株式会社内

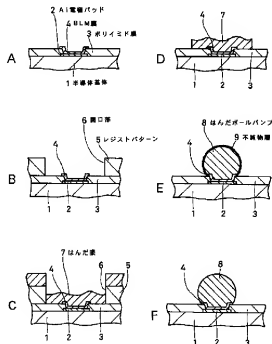
(74) 代理人 弁理士 杉浦 正知

(54) 【発明の名称】 パンプ製造方法

(57) 【要約】

【課題】 仕上がり後のパンプの表面を清浄化して接触抵抗の低減を図るとともに、フリップチップ実装後において高い信頼性および耐久性を有するパンプ製造方法を提供する。

【解決手段】 半導体基体 1 上に所定の工程を経てはんだボールパンプ 8 を形成した後、半導体基体 1 に対して、A r ガス雰囲気中でスパッタエッチング処理を施し、はんだボールパンプ 8 の表面の不純物層 9 を除去して清浄なはんだボールパンプ 8 の表面を露出させるとともに、ポリイミド膜 3 の最表面をイオン衝撃により活性化させる。スパッタエッチング処理は、還元性ガスを含む雰囲気中で行ってもよい。また、はんだボールパンプ 8 形成後の半導体基体 1 に対して、酸素を含む雰囲気中でアッシング処理を行った後、不活性ガス雰囲気中または少なくとも還元性ガスを含む雰囲気中でスパッタエッチング処理を行ってもよい。



【特許請求の範囲】

【請求項1】 パンプ形成後の基体に対して、不活性ガス雰囲気中でスパッタエッチング処理を行う工程を有することを特徴とするパンプ製造方法。

【請求項2】 上記パンプははんだボールパンプであることを特徴とする請求項1記載のパンプ製造方法。

【請求項3】 上記スパッタエッチング処理を、少なくともプラズマ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項1記載のパンプ製造方法。

【請求項4】 上記スパッタエッチング処理を、 $1 \times 1.011 \text{ cm}^3$ 以上 $1 \times 1.014 \text{ cm}^3$ 未満のプラズマ密度で行うことを特徴とする請求項1記載のパンプ製造方法。

【請求項5】 パンプ形成後の基体に対して、少なくとも還元性ガスを含む雰囲気中でスパッタエッチング処理を行う工程を有することを特徴とするパンプ製造方法。

【請求項6】 上記パンプははんだボールパンプであることを特徴とする請求項5記載のパンプ製造方法。

【請求項7】 上記スパッタエッチング処理を、少なくともプラズマ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項5記載のパンプ製造方法。

【請求項8】 上記スパッタエッチング処理を、 $1 \times 1.011 \text{ cm}^3$ 以上 $1 \times 1.014 \text{ cm}^3$ 未満のプラズマ密度で行うことを特徴とする請求項5記載のパンプ製造方法。

【請求項9】 パンプ形成後の基体に対して、少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して不活性ガス雰囲気中もしくは少なくとも還元性ガスを含む雰囲気中でスパッタエッチング処理を行う工程を有することを特徴とするパンプ製造方法。

【請求項10】 上記パンプははんだボールパンプであることを特徴とする請求項9記載のパンプ製造方法。

【請求項11】 上記アッシング処理および／または上記スパッタエッチング処理を、少なくともプラズマ放電出力と上記基体へのバイアス電圧とを独立に制御しながら行うことを特徴とする請求項9記載のパンプ製造方法。

【請求項12】 上記アッシング処理および／または上記スパッタエッチング処理を、 $1 \times 1.011 \text{ cm}^3$ 以上 $1 \times 1.014 \text{ cm}^3$ 未満のプラズマ密度で行うことを特徴とする請求項9記載のパンプ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明はパンプ製造方法に関し、特に、ウェットバック工程における残渣や汚染などに起因した不良の発生を回避して、パンプの接触抵抗や表面保護膜と封止樹脂との密着性向上を実現するためのパンプ製造方法に関する。

【0002】

【従来の技術】 電子機器の小型化をより一層進展させる

ためには、部品実装密度をいかに向上させるかが重要なポイントとなっている。この半導体集積回路（IC）や大規模集積回路（LSI）の実装に関しても、従来のパッケージ実装の代替として、ペラチップを直接プリント配線基板上にマウントするフリップチップ実装法など高密度実装技術の開発が盛んに行われている。

【0003】 このフリップチップ実装法の一つに、ICチップやLSIチップのアルミニウム（Al）電極パッド上に、はんだボールパンプを形成したものをプリント配線基板上に実装する方法がある。このはんだボールパンプを所定のAl電極パッド上に形成する方法としては、電解メッキ法を用いた方法があるが、この場合、成膜されるはんだ膜の厚さが、下地の表面状態や電気抵抗のわずかなばらつきによる影響を受けるため、ICチップ内で高さが均一に揃ったはんだボールパンプの形成を行うことは基本的に難しい。

【0004】 そこで、はんだボールパンプの高さのばらつきを制御する方法として、従来より、真空蒸着法によるはんだ膜の成膜と、レジストパターンのリフトオフを用いてはんだボールパンプを形成する方法が知られている。この方法によるはんだボールパンプの形成工程の一例を図6を参照しながら、以下に説明する。

【0005】 すなわち、この従来のはんだボールパンプの製造方法においては、まず、図6Aに示すように、回路素子などが形成されたシリコン（Si）ウェハなどの半導体基体101上の所定位置に、スパッタリング法およびドライエッチング法を用いて所定形状のAl電極パッド102を形成する。次に、半導体基体101の全面に、例えば窒化シリコン（SiN）膜のようなバッシベーション膜（図示せず）を形成した後、このバッシベーション膜のAl電極パッド102上に対応する部分に開口を形成する。次に、このバッシベーション膜上に、例えば、ポリイミド膜を形成した後、このポリイミド膜103のAl電極パッド102上に対応する部分に開口を形成する。

【0006】 次に、全面にスパッタリング法により、例えばクロム（Cr）膜、銅（Cu）膜および金（Au）膜を順次積層してCr/Cu/Au膜を形成した後、このCr/Cu/Au膜を、ほぼAl電極パッド102と同一形状にパターンニングすることにより、このパターンニングされたCr/Cu/Au膜からなるBLM（Ball Limiting Metal）膜104を形成する。このBLM膜104は、後に形成されるはんだボールパンプのバリアメタルとしての役割も有する。

【0007】 次に、図6Bに示すように、半導体基体101上の全面にレジスト膜を形成した後、このレジスト膜をリソグラフィ法により所定形状にパターンニングする。符号105は、これによって形成された所定形状のレジストパターンを示す。このレジストパターン105は、BLM膜104上に対応する部分、したがって、A

1 電極パッド102上に対応する部分に、所定の寸法の開口部106を有する。

【0008】次に、図6Cに示すように、真空蒸着法により全面にはんだ膜107を形成した後、図6Dに示すように、リフトオフ法により、レジスト膜105をその上のはんだ膜107とともに除去する。これにより、はんだ膜107の不要部分が除去され、はんだ膜107が所望の形状にパターンニングされる。この後、熱処理を行ってはんだ膜107を溶融させることで、最終的に図6Eに示すように、ほぼ球状のはんだボールバンプ108を形成する。

【0009】ここで、図6Eに示す熱処理によってのはんだ膜107を球状に丸める工程は、通常、ウェットバックと呼ばれる。このウェットバックの工程において、仮にはんだ膜107の表面に自然酸化膜が厚く形成されているとすると、熱処理を行ってもはんだの溶融が均等に進まず、はんだボールバンプ108の形成がうまく行えなくなってしまう。

【0010】そのため、通常は、リフトオフによりはんだ膜107をパターンニングした後、ウェットバック工程を行う前に、半導体基体101の全面に、予め還元作用や表面活性作用を有するフラックス（主成分は、アミン系活性剤、アルコール溶媒、ロジンやポリグリコール等の樹脂成分）を均一にコーティングしてやり、その状態から熱処理を行うことで、はんだの溶融および表面張力によりはんだが球状に丸まることを促進してやり、安定したはんだボールバンプ108の形成を実現している。

【0011】

【発明が解決しようとする課題】 上述の従来のはんだボールバンプの製造方法においては、熱処理によってのはんだボールバンプ108が形成された後の半導体基体101（図6E参照）に対して有機溶液洗浄を行い、フラックスを洗い落とすわけであるが、このとき、熱処理中にフラックス内の有機成分が炭化してウェハ表面にこびり着いてしまっていたり、フラックスの洗浄方法が不適切だったりすると、フラックス内の圓形成分が洗浄後も除去しきれず、残渣としてはんだボールバンプ108の表面やその近傍に残ってしまう場合がある。また、はんだボールバンプ108の形成後の保管状態が不適切で、はんだボールバンプ108の酸化が進むと、その表面に自然酸化膜が形成される場合がある。図6E中、符号109は、ウェットバック工程において付着した汚染物や、はんだボールバンプ108の表面の自然酸化膜などの不純物膜を示す。なお、ここでは、表現の便宜上、はんだボールバンプ108の表面の不純物層109を誇張して、実際よりも厚く表記している。

【0012】このように、はんだボールバンプ108の表面に不純物層109が存在すると、図7に示すように、はんだボールバンプ108の表面にプローブ110を当てて電気特性を測定する際に、両者の間に不純物層

109が介在することにより、接触抵抗が大きくなってしまい、正確な評価を行うことができなくなるなどの不具合を来すことになる。また、このような状態で、フリップチップ実装した場合、プリント配線基板との接触抵抗もまた増大してしまう。

【0013】上述は、はんだボールバンプ108の表面に不純物層109が存在する場合の問題であるが、プロセスに起因する残渣物や汚染などは、実際には、はんだボールバンプ108を形成したチップの最表面であるポリイミド膜103上にも残ってしまう。この状態のチップを、プリント配線基板上にフリップチップ実装した場合、ポリイミド膜103と封止樹脂との間の密着強度が弱くなり、それに起因して、はんだボールバンプ108にクラックが発生して接合強度が劣化したり、接続抵抗の上昇により信頼性寿命の低下を招くことにもつながる。

【0014】したがって、この発明の目的は、仕上がり後のバンプの表面を清浄化して接触抵抗の低減を図るとともに、フリップチップ実装後における高い信頼性および耐久性を有するバンプ製造方法を提供することにある。

【0015】

【課題を解決するための手段】 上記目的を達成するためには、この発明における第1の発明によるバンプ製造方法は、バンプ形成後、不活性ガスを用いたスパッタエッチング処理を行う工程を有することを特徴とする。

【0016】この発明における第2の発明によるバンプ製造方法は、バンプ形成後、少なくとも還元性ガスを含む雰囲気中でスパッタエッチング処理を行う工程を有することを特徴とする。

【0017】この発明の第3の発明によるバンプ製造方法は、バンプ形成後、少なくとも酸素を含む雰囲気中でアッシング処理を行った後、連続して不活性ガス中もしくは少なくとも還元性ガスを含む雰囲気中でスパッタエッチング処理を行う工程を有することを特徴とする。

【0018】この発明の典型的な実施形態において、バンプははんだボールバンプである。

【0019】この発明の好適な実施形態においては、スパッタエッチング処理をプラズマ放電出力と基体へのバイアス電圧とを独立に制御しながら行う。この場合のスパッタエッチング処理には、少なくともプラズマ放電出力とバイアス電圧とを独立に制御可能な二つの高周波電源を有するプラズマ処理装置が用いられる。

【0020】この発明の好適な他の実施形態においては、スパッタエッチング処理を $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{14} \text{ cm}^{-3}$ 未満のプラズマ密度で行う。この場合のスパッタエッチング処理には、ICP (Inductively Coupled Plasma) 源、TCP (Transfer Coupled Plasma) 源、ECR (Electron Cyclotron Resonance) プラズマ源またはヘリコン波プラズマ源などの高密度プラズ

マ源を有するプラズマ処理装置が用いられる。

【0021】上述のように構成されたこの発明による第1の発明によれば、パンプ形成後の基体に対して、A r ガスなどの不活性ガス雰囲気中でスパッタエッチング処理を行う工程を有するため、パンプの表面に形成された自然酸化膜やプロセス残渣が除去されることにより、清浄なパンプの表面を露出させることができる。これによって、仕上がり後のパンプの表面が清浄化されることで、電気抵抗を測定する際のプローブとの接触抵抗や、フリップチップ実装後のプリント配線基板との接触抵抗を低減することができる。これらの結果、パンプを作製したデバイスの電気的特性が改善されるとともに、このデバイスをフリップチップ実装して組み立てられる製品の信頼性および耐久性を従来に比べて大幅に向上させることができる。

【0022】この発明における第2の発明によれば、第1の発明以上に高い信頼性を有するパンプを形成することができる。具体的には、第1の発明の場合と同様に、パンプ形成後の基体に対してスパッタエッチング処理を行うわけであるが、その際に、不活性ガスではなく、少なくともフッ化水素（HF）などの還元性ガスを含む雰囲気中でスパッタエッチング処理を行う。これにより、ウェットバックの工程でパンプ中に取り込まれる酸素や水分に起因して形成されるパンプの表面の自然酸化膜を還元しながら、スパッタエッチングが進行するので、第1の発明以上に効果的にパンプの表面のクリーニングを行うことができる。

【0023】このようにして、仕上がり後のパンプの表面がより効果的に清浄化されることで、プローブやプリント配線基板との接触抵抗をより一層低減させることができる。この結果、パンプを作製したデバイスの電気特性が大幅に改善されるとともに、このデバイスをフリップチップ実装して組み立てられた製品の信頼性および耐久性を、第1の発明以上に向上させることができる。

【0024】この発明における第3の発明によれば、パンプ形成後の基体に対して2段階のプラズマ処理が行われる。具体的には、酸素系雰囲気中でプラズマ処理を行い、ウェットバック工程やレジスト工程のプロセス起因で、パンプ表面に付着した有機系の不純物を燃焼反応（ $C + O^+ \rightarrow CO^+$ ）によってアッシング除去する。その後、不活性ガス雰囲気中または還元性ガス雰囲気中でプラズマ処理を行い、第1または第2の発明と同様に、パンプ表面の清浄化を行うためのスパッタエッチングを行う。これにより、パンプ表面の自然酸化膜除去に加えて、有機系の不純物除去が効果的に行えるようになるため、第1および第2の発明以上に、パンプ表面の清浄化を徹底することができる。

【0025】この結果、第1および第2の発明と同様に、パンプの接触抵抗の低減を図ることができ、フリップチップ実装して組み立てられた製品において、高信頼

性および高耐久性を得ることができるようになる。

【0026】**【発明の実施の形態】**以下、この発明の実施形態について図面を参照しながら説明する。なお、実施形態の全図において、同一または対応する部分には同一の符号を付す。

【0027】まず、この発明の第1の実施形態によるはんだボールパンプの製造方法について説明する。図1は、この第1の実施形態によるはんだボールパンプの製造方法を説明するための断面図である。

【0028】すなわち、このはんだボールパンプの製造方法においては、まず、図1Aに示すように、回路素子が形成されたS i ウェハのような半導体基体1上の所定位置に、スパッタリング法およびR I E法などを用いて所定形状のA l 電極パッド2を形成する。次に、この半導体基体1の全面にS i n 膜のようなバッシベーション膜（図示せず）を形成した後、このバッシベーション膜のA l 電極パッド2上に対応する部分に開口を形成する。次に、全面にポリイミド膜3を形成した後、このポリイミド膜3のA l 電極パッド2上に対応する部分に開口を形成する。このポリイミド膜3は、表面保護、電気的絶縁およびα線によるソフトエラー防止の役割を有する。

【0029】次に、全面に、スパッタリング法により、例えばC r 膜、C u 膜、A u 膜を順次積層してC r / C u / A u 膜を形成した後、このC r / C u / A u 膜をA l 電極パッド2とほぼ同一形状にパターニングすることにより、このパターニングされたC r / C u / A u 膜からなるB L M 膜4を形成する。このB L M 膜4は、後に形成されるはんだボールパンプのバリアメタルとしての役割も有する。

【0030】次に、図1Bに示すように、全面にレジスト膜を形成した後、リソグラフィ法により、このレジスト膜を所定形状にパターニングする。符号5は、これにより形成された所定形状のレジストパターンを示す。このレジストパターン5は、B L M 膜4上に対応する部分、したがって、A l 電極パッド2上に対応する部分に、所定の寸法の開口部6を有する。

【0031】次に、図1Cに示すように、半導体基体1の全面に、真空蒸着法によりはんだ膜7を形成する。次に、図1Dに示すように、リフトオフによりレジストパターン5をその上のはんだ膜7とともに除去する。これにより、はんだ膜7が所望の形状にパターニングされる。次に、半導体基体1の全面に、例えば、アミン系活性剤、アルコール溶媒、ロジンやポリグリコールなどの樹脂分を主成分とするフラックス（図示せず）を均等にコーティングする。その後、熱処理を行うことにより、はんだ膜7の溶融および表面張力を利用して、図1Eに示すように、ほぼ球状のはんだボールパンプ8を形成する。

【0032】この後、半導体基体1に対して有機薬液洗浄を行い、フラックスを除去する。図1E中、符号9は、はんだボールバンプ8の表面に形成された自然酸化膜やプロセスに起因した汚染物などからなる不純物層を示す。なお、ここでは、表現の便宜上、はんだボールバンプ8の表面の不純物層9を誇張して厚く表記している。

【0033】このはんだボールバンプの製造方法においては、図1Eに示すように、ウエットバックによるはんだボールバンプ8の形成までを行った後、半導体基体1に対して、スパッタエッチング処理を行う。ここでは、一例として、図2に示すような平行平板型高周波プラズマ処理装置を用いてスパッタエッチング処理を行う場合について説明する。すなわち、図2に示すように、この平行平板型高周波プラズマ処理装置は、プラズマ処理室11、陽極板12および陰極板ステージ13を有する。陽極板12は接地され、陰極板ステージ13は結合コンデンサ14を介してプラズマ放電用のプラズマ電源15と接続される。このプラズマ電源15としては、例えば周波数13.56MHzの高周波電源が用いられる。符号16は、陽極板ステージ13上に設置された被処理基板を示す。

【0034】この平行平板型高周波プラズマ処理装置においては、プラズマ処理室11内にプロセスガスを導入し、所定のプラズマ放電出力を供給することにより、陽極板12および陰極板ステージ13間にプラズマ17を発生させ、このプラズマ17からのイオン照射により、陰極板ステージ13上に設置された被処理基板16のスパッタエッチング処理を行うことが可能である。

【0035】この第1の実施形態によるはんだボールバンプの製造方法では、図1Eに示す状態の半導体基体1、すなわち、ウエットバックによりはんだボールバンプ8の形成を行った後、はんだボールバンプ8の表面に不純物層9が付着している状態の半導体基体1を、図2に示す平行平板型高周波プラズマ処理装置に導入して、Arガスなどの不活性ガス雰囲気中でスパッタエッチング処理を行う。

【0036】具体的には、一例として次のような条件でスパッタエッチング処理を行う。すなわち、プロセスガスとしてArガスを用い、その流量を25sccm、圧力を1.0Pa、ステージ温度を室温とし、プラズマ放電出力を300W（13.56MHz）としてスパッタエッチング処理を行い、その処理時間を60秒間とする。

【0037】このエッチング処理の結果、図1Fに示すように、Ar⁺イオンのスパッタリング作用により、はんだボールバンプ8の表面に形成された不純物層9が効果的に除去され、清浄なはんだボールバンプ8の表面が露出するとともに、表面保護膜であるポリイミド膜3の表面が、イオン衝撃エネルギーを受けて化学的に活性化

される。

【0038】図3は、はんだボールバンプ8の形成後に、上述のスパッタエッチング処理を施したLSIチップを、プリント配線基板にフリップチップ実装した例を示す。図3において、符号20は、半導体基体1上に形成されたSiN膜からなるパッシベーション膜を示す。この場合、LSIチップは、はんだボールバンプ8が下側を向くようにしてプリント配線基板に実装される。プリント配線基板はガラスエポキシ基板21と、この上のCuランド22およびソルダーレジスト23とからなる。LSIチップがプリント配線基板上に実装された状態では、はんだボールバンプ8に対応する位置がCuランド22となるように、LSIチップおよびプリント配線基板が位置合わせされる。これらのはんだボールバンプ8およびCuランド22は、共晶はんだ24により互いに接続される。符号25は、プリント配線基板上にLSIチップを固着する封止樹脂を示す。

【0039】この第1の実施形態によれば、はんだボールバンプ8の形成後に、半導体基体1に対してスパッタエッチング処理を施すことにより、はんだボールバンプ8の表面の自然酸化膜などの不純物層9が効果的に除去され、清浄なはんだボールバンプ8の表面が露出するとともに、保護膜であるポリイミド膜3の表面が活性化される。これにより、はんだボールバンプ8の電気特性的測定を正確に行うことができるようになるとともに、このデバイスを図3に示すごとくプリント配線基板にフリップチップ実装して組み立てられた製品は、はんだボールバンプ8とCuランド22との界面での電気特性およびポリイミド膜3と封止樹脂25との界面での密着強度が共に向上するので、最終的な製品の信頼性および耐久性が従来のものと比べて大幅に改善される。

【0040】次に、この発明の第2の実施形態について説明する。この第2の実施形態によるはんだボールバンプの製造方法は、はんだボールバンプ形成後に、図4に示すトライオード型高周波プラズマ処理装置を用いてスパッタエッチング処理を行うこと以外は、第1の実施形態と同様である。

【0041】ここでは、まず、この第2の実施形態において用いられるトライオード型高周波プラズマ処理装置について説明する。すなわち、図4に示すように、このトライオード型高周波プラズマ処理装置は、プラズマ処理装置31、陽極板32、格子電極33および陰極板ステージ34を有する。陽極板32は結合コンデンサ35を介してプラズマ生成用のプラズマ電源36と接続され、格子電極33は接地される。陰極板ステージ34は結合コンデンサ37を介して基板バイアス用の基板バイアス電源38と接続される。プラズマ電源36としては、例えば周波数2MHzの高周波電源が用いられ、基板バイアス電源38としては、例えば周波数13.56MHzの高周波電源が用いられる。これらのプラズマ電

源36および基板バイアス電源38により、プラズマ放電出力および基板バイアス電圧が独立に制御される。符号39は、陰極板ステージ34上に設置された被処理基板を示す。

【0042】このトライオード型高周波プラズマ処理装置においては、プラズマ処理室31内にプロセスガスを導入し、所定のプラズマ放電出力を供給することにより、陽極板32および格子電極33間にプラズマ40を発生させ、このプラズマ40からのイオン照射により被処理基板39のスパッタエッチング処理を行うことが可能である。

【0043】この第2の実施形態では、図1Eに示すように、ウェットバックによりはんだボールパンフ8の形成までを行った後の半導体基体1を、被処理基板として上述のトライオード型高周波プラズマ処理装置に導入し、プラズマ放電出力と基板バイアス電圧とを独立に制御しながら、還元性ガスを含む雰囲気中でスパッタエッチング処理を行う。

【0044】具体的には、一例として以下に示す条件でスパッタエッチング処理を行う。すなわち、プロセスガスとしてH_FおよびA_rの混合ガスを用い、H_Fガスの流量を10 sccm、A_rガスの流量を20 sccm、圧力を1.0 Pa、ステージ温度を室温とし、プラズマ放電出力を700 W (2 MHz)、基板バイアス電圧を350 V (13.56 MHz) としてスパッタエッチング処理を行い、その処理時間を60秒間とする。

【0045】この第2の実施形態によれば、スパッタエッチング処理の際に、A⁺イオンのスパッタリング作用に加えて、H_Fによる還元作用によって、はんだボールパンフ8の表面の自然酸化膜などの不純物層9が、化学反応を伴いながら一層効果的に除去されるので、より清浄なはんだボールパンフ8の表面が露出する。さらに、ポリイミド膜3の表面層のダングリングボンドが、電気陰性度の大きいフッ素(F)原子によってターミネイトされて、化学的により活性な状態となる。

【0046】以上のようにして、はんだボールパンフ形成後にスパッタエッチング処理を施したLSIチップをプリント配線基板上にリブチップ実装して組み立てられた製品(図3参照)は、はんだボールパンフ8とCuランド22との界面での電気特性およびポリイミド膜3と封止樹脂25との界面での密着強度がより一層向上し、最終的な製品の信頼性および耐久性が、第1の実施形態の場合と同様に、従来と比べて大幅に改善される。

【0047】次に、この発明の第3の実施形態について説明する。この第3の実施形態によるはんだボールパンフの製造方法は、はんだボールパンフ形成後に、図5に示すICP高密度プラズマ処理装置を用いてアッシング処理およびスパッタエッチング処理を行うこと以外は、第1の実施形態と同様である。

【0048】ここでは、まず、この第3の実施形態にお

いて用いられるICP高密度プラズマ処理装置について説明する。すなわち、図5に示すように、このICP高密度プラズマ処理装置は、プラズマ処理室41、誘導結合コイル42およびステージ43を有する。結合誘導コイル42はプラズマ放電用のICP電源44と接続され、ステージ43は結合コンデンサ45を介して基板バイアス用の基板バイアス電源46と接続される。ICP電源44としては、周波数450 kHzの高周波電源13.56 MHzの高周波電源が用いられ、基板バイアス電源46としては、周波数13.56 MHzの高周波電源が用いられる。これらのICP電源44および基板バイアス電源46により、プラズマ放電出力(ICPソース出力)および基板バイアス電圧が独立に制御される。符号47は、ステージ43上に設置された被処理基板を示す。ここで、ステージ43は垂直方向(図5中、矢印で示される方向)に移動可能である。

【0049】このICP高密度プラズマ処理装置においては、プラズマ処理室41内にプロセスガスを導入し、所定のICPソース出力を供給することにより、例えば $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{14} \text{ cm}^{-3}$ 未満の密度を有するプラズマ48によりプラズマ処理を行うことが可能である。

【0050】この第3の実施形態では、図1Eに示すように、ウェットバックによりはんだボールパンフ8の形成までを行った後の半導体基体1を、被処理基板として上述のICP高密度プラズマ処理装置に導入し、ICPソース出力と基板バイアス電圧とを独立に制御しながら、酸素を含む雰囲気中でアッシング処理を行った後、連続して、還元性ガスを含む雰囲気中でスパッタエッチング処理を行う。

【0051】具体的には、まず、一例として以下に示す条件でアッシング処理を行う。すなわち、プロセスガスとして酸素(O₂)を用い、O₂の流量を100 sccm、圧力を1.0 Pa、ステージ温度を室温とし、ICPソース電力を1000 W (450 kHz)、基板バイアス電圧を0 V (13.56 MHz) としてアッシング処理を行い、その処理時間を10秒とする。

【0052】次に、一例として以下のように条件を切り換えて、スパッタエッチング処理を行う。すなわち、プロセスガスとしてH_FおよびA_rの混合ガスを用い、H_Fガスの流量を10 sccm、A_rガスの流量を20 sccm、圧力を0.2 Pa、ステージ温度を室温とし、ICPソース電力を1000 W (450 kHz)、基板バイアス電圧を100 V (13.56 MHz) としてスパッタエッチング処理を行い、その処理時間を10秒とする。

【0053】この第3の実施形態によれば、アッシング処理により、プロセス起因によって表面に付着した有機系の不純物が燃焼反応によって効果的に除去されると同時に、デバイスの保護膜であるポリイミド膜3の表面層

はO原子をその結合中に取り込んだ形となる。

【0054】そして、これに連続して行われるスパッタエッチング処理により、HFによる還元作用によって、はんだボールパンフ8の表面の自然酸化膜などの不純物層9は、化学反応を伴いながら効果的にスパッタ除去され、より清浄なはんだボールパンフ8の表面が露出する。また、ポリイミド膜3の最表面層は、F原子にターミネイト（アッシング処理時に導入されたO原子がF原子と置換される場合も含む）され、化学的にさらに活性な状態となる。

【0055】以上のようにして、はんだボールパンフ形成後にスパッタエッチング処理を施したLSIチップをプリント配線基板上にブリップチップ実装して組み立てられた製品（図3参照）は、はんだボールパンフ8とCuランド22との界面での電気特性およびポリイミド膜3と封止樹脂25との界面での密着強度がより層向上し、最終的な製品の信頼性および耐久性が、第1および第2の実施形態の場合と同様に、従来と比べて大幅に改善される。

【0056】また、この第3の実施形態によれば、はんだボールパンフ8の形成後に行われるアッシング処理およびスパッタエッチング処理を行う際に、ICPプラズマ発生源を用いて、高密度のプラズマ、具体的には、例えば、 $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{14} \text{ cm}^{-3}$ 未満のプラズマ密度で処理を行うことと、これにより、低圧力雰囲気下での処理が可能となったことにより、多量に生成したイオン種が散乱されることなく、垂直に半導体基体1に入射するようになる。このため、イオン照射によるパンフ形成後の半導体基体1の表面処理（アッシング処理およびスパッタエッチング処理）が高速かつ効率よく実現できる。

【0057】また、プラズマから半導体基体1に入射するイオンエネルギーを、プラズマの生成状態に影響を与えることなく、独立して制御することが可能なため、デバイスへのプロセスダメージを考慮して、基板バイアス電圧を低く設定した条件でも、処理速度の低下を招くことなく、処理時間の短縮を図ることができる。

【0058】以上この発明の実施形態について具体的に説明したが、この発明は、上述の実施形態に限定されるものではなく、サンプル構造、プロセス装置、プロセス条件など、発明の主旨を逸脱しない範囲で適宜選択可能であることは言うまでもない。

【0059】例えば、上述の第1～第3の実施形態では、はんだボールパンフのパターン形成方法として、真空蒸着による成膜とレジストパターンのリフトオフを用いた場合を示したが、それ以外の電解メッキ等を用いた

製造方法への適用も可能である。

【0060】また、還元性のガスとして、第2および第3の実施形態では、HFを用いた例を示したが、それ以外にも、水素（ H_2 ）、塩酸（ HCl ）などを同様に用いることもできる。これらのうち、HFや HCl などの液体ソースを用いる場合は、ヘリウム（ He ）などのキャリアガスによるバブリング、加熱気化、超音波気化などの手法によってプロセスチャンバー内に導入する。

【0061】

【発明の効果】以上説明したように、この発明によれば、パンフの表面に形成された自然酸化膜やプロセス残渣を効果的に除去して清浄なパンフの表面を露出させることができる。その結果、パンフを作製したデバイスの電気特性が改善される（接触抵抗が低減する）とともに、ブリップチップ実装して組み立てられる製品の信頼性および耐久性を従来と比べて大幅に向上させることができるようになる。

【0062】したがって、この発明は、微細なデザインルールに基づいて設計され、高集積度、高性能および高信頼性を要求される半導体装置の製造に極めて有効である。

【図面の簡単な説明】

【図1】 この発明の第1の実施形態によるはんだボールパンフの製造方法を説明するための断面図である。

【図2】 この発明の第1の実施形態によるはんだボールパンフの製造方法において用いられる平行平板型高周波プラズマ処理装置の一例を示す略線図である。

【図3】 はんだボールパンフ形成後にスパッタエッチング処理を施したLSIチップをプリント配線基板上にブリップチップ実装した例を示す略線図である。

【図4】 この発明の第2の実施形態によるはんだボールパンフの製造方法において用いられるトライアード型高周波プラズマ処理装置の一例を示す略線図である。

【図5】 この発明の第3の実施形態によるはんだボールパンフの製造方法において用いられるICP高密度プラズマ処理装置の一例を示す略線図である。

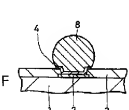
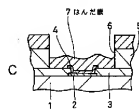
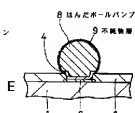
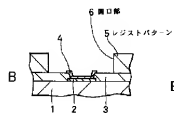
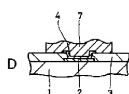
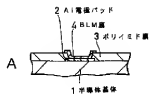
【図6】 従来のはんだボールパンフの製造方法を説明するための断面図である。

【図7】 はんだボールパンフの電気特性の測定の様子を示すための略線図である。

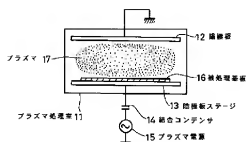
【符号の説明】

1・・・半導体基体、2・・・Al電極パッド、3・・・ポリイミド膜、4・・・BLM膜、5・・・レジストパターン、6・・・開口部、7・・・はんだ膜、8・・・はんだボールパンフ、9・・・不純物層、22・・・Cuランド、25・・・封止樹脂

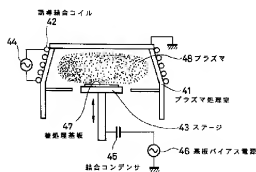
【図1】



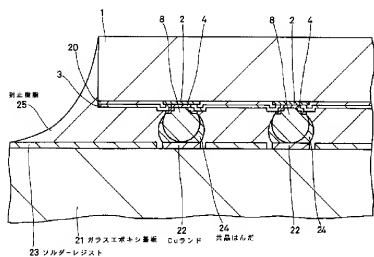
【図2】



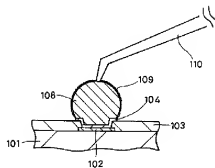
【図5】



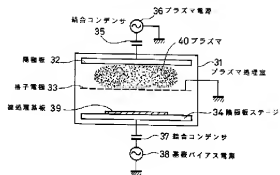
【図3】



【図7】



【図4】



【図6】

